

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-305993  
(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

G06F 7/24

(21)Application number : 10-114672

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22) Date of filing : 24.04.1998

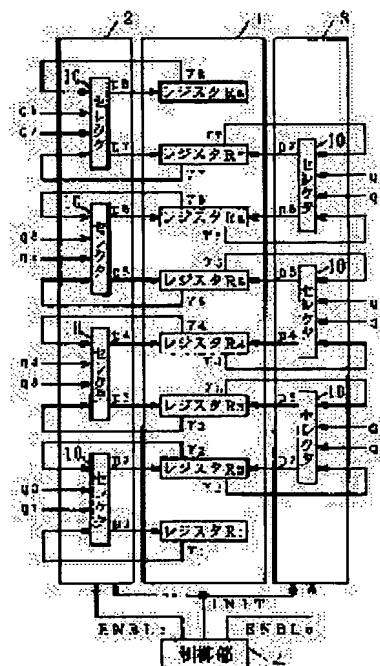
(72)Inventor : MARUME KOJI

(54) SORTER

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a sorter capable of operating a sort part and the other part through parallel processing when it is not necessary to arrange data streams completely in the ascending or descending order.

**SOLUTION:** Concerning the sorter provided with a register part having plural registers for storing data to be sorted, this device is provided with an even-numbered phase selector group 2 having plural selectors 10 for performing the comparative updating processing of values stored in the registers in even-numbered phases, odd-numbered phase selector group 3 having plural selectors 10 for performing the comparative updating processing of values stored in the registers in odd-numbered phases, and control part 4 for alternately operating the even-numbered phase selector group 2 and the odd-numbered phase selector group 3 by alternately switching the even-numbered and odd-numbered phases.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-305993

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.<sup>8</sup>

### 識別記号

F I  
G 0 6 F 7/24

D

審査請求 未請求 請求項の数 1 O.L. (全 6 頁)

(21) 出願番号 特願平10-114672

(22) 出願日 平成10年(1998)4月24日

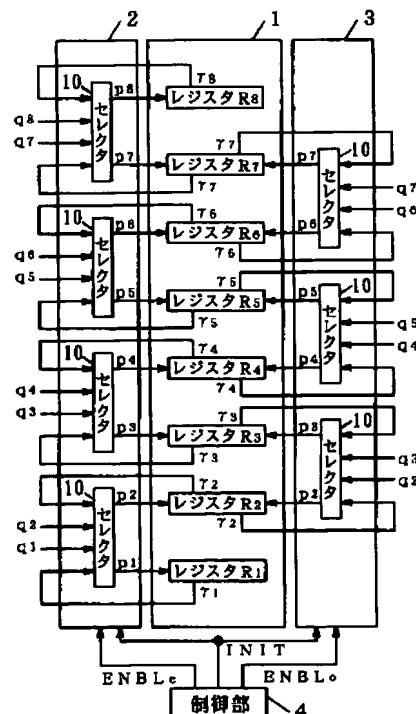
(71)出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72)発明者 丸目 孝二  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(74)代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 ソート装置

(57) 【要約】

【課題】 データ列が完全に昇順や降順に並んでいる必要のない場合には、ソート部と他の部分とを並列処理で動作させることができるようにソート装置を提供することを目的とする。

【解決手段】 ソートするデータを記憶する複数のレジスタを有するレジスタ部を備えるソート装置で、偶数フェーズにおいてレジスタに記憶された値の比較更新処理を行う複数のセレクタ10を有する偶数フェーズセレクタ群2と、奇数フェーズにおいてレジスタに記憶された値の比較更新処理を行う複数のセレクタ10を有する奇数フェーズセレクタ群3と、偶数フェーズと奇数フェーズとを交互に切り替えることで偶数フェーズセレクタ群2と奇数フェーズセレクタ群3とを交互に動作させる制御部4とを備えた構成より成る。



## 【特許請求の範囲】

【請求項1】ソートするデータを記憶する複数のレジスタを有する記憶部を備えるソート装置であって、偶数フェーズにおいて前記レジスタに記憶された値の比較更新処理を行う複数のセレクタを有する偶数フェーズセレクタ群と、奇数フェーズにおいて前記レジスタに記憶された値の比較更新処理を行う複数のセレクタを有する奇数フェーズセレクタ群と、偶数フェーズと奇数フェーズとを交互に切り替えることにより前記偶数フェーズセレクタ群と前記奇数フェーズセレクタ群とを交互に動作させる制御部と、を備えたことを特徴とするソート装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、数値の大小比較など、何らかの基準に従って、データを並べ替えるソート装置に関するものである。

## 【0002】

【従来の技術】近年、コンピュータの発展により、多くのデータを高速に並べ替えるアルゴリズムが必要とされ、バブルソート、選択ソート、挿入ソート、ヒープソート、クイックソート、マージソート、ピンソート等、多くの方法が考案されている。

【0003】以下に従来のソート装置について、バブルソートを例にとって、図面を参照しながら説明する。

【0004】図5は、従来のソート装置の装置構成図を示したものである。図5において、1はソートするデータを記憶する複数のレジスタR1～RNを有する記憶部、7は比較する2つのレジスタの組を選択する比較器入力セレクタ部、8は比較記入力セレクタ部7で選択されたレジスタの値を比較する比較器、9は更新するレジスタを選択し比較器8の比較結果によりレジスタに入力する値を切り替えるレジスタ入力セレクタ部、4は比較器入力セレクタ部7及びレジスタ入力セレクタ部9の動作をバブルソートアルゴリズムに従って制御する制御部である。

【0005】次に、以上のように構成された従来のソート装置の動作について、例として、初期状態として複数のレジスタにランダムに整数値が格納されている場合を想定して説明する。

【0006】まず、二つのレジスタに格納された値（レジスタ値）の大小比較をしその結果に基づくレジスタ値の更新する動作（比較更新処理）について説明する。最初に、レジスタRpとレジスタRq（p, q = 1, 2, ..., N, q ≠ p）とを比較器入力セレクタ部7が選択し、選択されたレジスタのレジスタ値を得る。この時、比較器入力セレクタ部7が選択するレジスタは、制御部4の制御信号により決定される。得られた二つのレジスタ値は、比較器8に送られ、比較器8は該二つのレジスタ値の大小比較を行い、その結果をレジスタ入力セレクタ部9に送る。レジスタ入力セレクタ部9は、制御

部4からの制御信号により更新すべきレジスタ（レジスタRp及びレジスタRq）を選択し、比較器8の比較結果により比較器入力セレクタ部7の得た二つのレジスタ値をそのままにしておくか入れ替えるかを決定し、レジスタRp及びレジスタRqの値を更新する。

【0007】次に、制御部4の制御動作について、図6を参照しながら実際のソート処理の例を用いて説明する。例として、記憶部1のレジスタ数Nを4として、レジスタの初期値が図6に示したようにレジスタR1, レジスタR2, レジスタR3, レジスタR4の値がそれぞれ5, 1, 8, 9であるとし、ソート処理によってこれをレジスタR1からレジスタR4へ昇順に並べることとする。まず、レジスタR1とレジスタR2の値について比較更新処理を行い、レジスタR2の値の方がレジスタR1の値よりも大きいので、値を入れ替える（S1）。次に、レジスタR2とレジスタR3の値について比較更新処理を行い、レジスタR3の値の方がレジスタR2の値よりも大きいので、値の入れ替えは行わない（S2）。次に、レジスタR3とレジスタR4の値について比較更新処理を行い、レジスタR4の値の方がレジスタR3の値よりも大きいので、値を入れ替える（S3）。この段階で、最も小さい値がレジスタR4に格納されているはずなので、次のループでは、このレジスタR4については比較更新処理は行わず、レジスタR1からレジスタR3までの比較更新処理を行う。次に、レジスタR1とレジスタR2の値について比較更新処理を行い、レジスタR1の値の方がレジスタR2の値よりも大きいので、値の入れ替えは行わない（S4）。次に、レジスタR2とレジスタR3の値について比較更新処理を行い、レジスタR3の値の方がレジスタR2の値よりも大きいので、値を入れ替える（S5）。この段階で、レジスタR4とレジスタR3には最小の数値とその次に小さい数値が格納されているはずなので、次のループでは、このレジスタR4とレジスタR3については比較更新処理は行わず、レジスタR1からレジスタR2までの比較更新処理を行う。次に、レジスタR1とレジスタR2の値について比較更新処理を行い、レジスタR1の値の方がレジスタR2の値よりも大きいので、値の入れ替えは行わない（S6）。この段階で、レジスタR4, R3, R2, R1の順に、昇順に数値が並んでいることになり、ソート処理を終了し、制御部4は、外部の他のモジュールに向けて終了処理シグナルを出す。

## 【0008】

【発明が解決しようとする課題】近年注目されている、生物の進化過程を模した遺伝的アルゴリズムにおいても、交差や突然変異の演算を行う場合に、上記のソートアルゴリズムが必要とされている。しかし、遺伝アルゴリズムでは、演算時（交差／突然変異）の対象となるデータを、ソートされたデータ列の中から、ある程度ランダムに選択して出力データを計算するため、そのソート

されたデータ列は完全に昇順や降順に並んでいる必要はない。

【0009】しかしながら、前記従来の各種ソートアルゴリズムでは、完全に順番に並べることを目的としており、上記目的に対しては必要以上の操作を行うという問題を有すると共に、ソート装置での処理が一通り完全に終了するまで（データ数の2乗程度の比較更新処理を必要とし、これらの処理が終了するまで）は、他の部分は待機する必要があるため、処理が非効率的であるという問題を有していた。

【0010】本発明のソート装置は上記従来の課題を解決するもので、道伝的アルゴリズムのように、データ列が完全に昇順や降順に並んでいる必要のない場合には、ソート処理の終了まで他の部分を待機させる必要がなく、ソート部と他の部分とを並列処理で動作させることができたソート装置を提供することを目的とする。

#### 【0011】

【課題を解決するための手段】上記課題を解決するため本発明のソート装置は、ソートするデータを記憶する複数のレジスタを有する記憶部を備えるソート装置であって、偶数フェーズにおいてレジスタに記憶された値の比較更新処理を行う複数のセレクタを有する偶数フェーズセレクタ群と、奇数フェーズにおいてレジスタに記憶された値の比較更新処理を行う複数のセレクタを有する奇数フェーズセレクタ群と、偶数フェーズと奇数フェーズとを交互に切り替えることにより偶数フェーズセレクタ群と奇数フェーズセレクタ群とを交互に動作させる制御部とを備えた構成より成る。

【0012】この構成により、データが完全にソートされている必要が無い場合においては、ソート処理の終了まで他の部分を待機させる必要が無く、ソート装置とその他の装置とを並列処理で動作させる事が可能で、任意の時点においてソート処理中のレジスタ値の書き換えが可能なソート装置を提供することができる。

#### 【0013】

【発明の実施の形態】本発明の請求項1に記載のソート装置は、ソートするデータを記憶する複数のレジスタを有する記憶部を備えるソート装置であって、偶数フェーズにおいてレジスタに記憶された値の比較更新処理を行う複数のセレクタを有する偶数フェーズセレクタ群と、奇数フェーズにおいてレジスタに記憶された値の比較更新処理を行う複数のセレクタを有する奇数フェーズセレクタ群と、偶数フェーズと奇数フェーズとを交互に切り替えることにより偶数フェーズセレクタ群と奇数フェーズセレクタ群とを交互に動作させる制御部とを備えたこととしたものであり、この構成により、ソート処理の終了まで他の部分を待機させる必要が無く、ソート装置とその他の装置とを並列処理で動作させる事ができ、並列処理により動作しているモジュールが任意のレジスタ値を変更した場合でも、ソート装置は同じ処理を続けて繰

り返すだけで正常にソート処理が行われるという作用を有する。

【0014】（実施の形態1）図1は、本発明の実施の形態1に係るソート装置の装置構成図である。

【0015】図1において、1はソートするデータを記憶する複数のレジスタR1～RNを有する記憶部、10は比較更新処理（2つのレジスタR $\alpha$ 、レジスタR $(\alpha+1)$ からレジスタ値p、qを取り出し、p、qの大小を比較し、p<qの場合はレジスタR $\alpha$ にq、レジスタR $(\alpha+1)$ にpを更新し、p $\geq$ qの場合はレジスタR $\alpha$ にp、レジスタR $(\alpha+1)$ にqを更新する処理）を行なうセレクタ、2は偶数フェーズにおいて動作する偶数フェーズセレクタ群、3は奇数フェーズにおいて動作する奇数フェーズセレクタ群、4は2つのセレクタ群3、4の制御を行う制御部である。r $i$ （i=1, 2, ..., N）はレジスタR $i$ のレジスタ値、p $i$ （i=1, 2, ..., N）はレジスタR $i$ を更新するレジスタ更新値、q $i$ （i=1, 2, ..., N）はレジスタR $i$ を初期化するレジスタ初期化値、ENBL $e$ はセレクタ群2の動作を制御するイネーブル信号、ENBL $o$ はセレクタ群3の動作を制御するイネーブル信号、INITはレジスタ値を初期化する1ビットの初期化信号である。なお、図1においては例としてN=8の場合を示しているが、一般にはNは3以上の任意の整数である。また、レジスタ値はnビット幅のデータであるとする。

【0016】図2は、本実施の形態に係るセレクタの装置構成図である。図2において、A、Bはnビット幅のセレクタ入力値、C、Dはnビット幅のセレクタ出力値、IA、IBはnビット幅のレジスタ初期化値、ENBL $o$ はENBL $e$ 若しくはENBL $o$ に対応するイネーブル信号、INITはレジスタ値を初期化する1ビットの初期化信号、5はENBLが真値の時2つの入力A、Bを比較し、比較結果から1ビットの制御信号p（A $\geq$ Bのときp=1、A<Bのときp=0）を出力する比較器、6a、6bは制御信号p及び初期化信号INITに基づき、nビット幅の3つの入力データD0、D1、D2から1つ選択し出力データD3として出力するマルチプレクサである。マルチプレクサ6は、INITが1の場合はD1を選択し、INITが0の場合はp=0ならばD0、p=1ならばD2を選択するものとする。

【0017】レジスタR1～RNに初期値を設定する場合には、レジスタ初期化値q1～qNに初期値を設定し、INIT信号を1とし各レジスタ値を初期値に更新することによって初期値設定を行う。初期化動作以外の時にはINITは0に設定される。

【0018】まず、セレクタ10の動作について図2を参照しながら説明する。セレクタ10が比較更新処理を行う場合、まず、ENBLを許可状態とし、レジスタRAからレジスタ値A、レジスタRBからレジスタ値Bを読み込み比較器5においてA、Bの大小を比較し、比較

結果から制御信号pを作る(A $\geq$ Bのときp=1、A<Bのときp=0となる)。マルチプレクサ6aは、D0にA、D2にBが入力され、p=0の時には出力CとしてAを選択し、p=1の時は出力CとしてBを選択する。マルチプレクサ6bは、D0にB、D2にAが入力され、p=0の時には出力DとしてBを選択し、p=1の時は出力DとしてAを選択する。次に、レジスタRAのレジスタ値をC、レジスタRBのレジスタ値をDに更新する。以上の動作により、A $\geq$ Bのときはレジスタ値は並べ替えられ、A<Bのときはレジスタ値は保持される。

【0019】次に、本実施の形態に係るソート装置のソート処理について説明する。初期状態として各レジスタにはランダムに整数値が格納されていると想定する。

【0020】最初に、クロックの偶数フェーズではENBLEには許可状態、ENBLOには不許可状態が、クロックの奇数フェーズではENBL<sub>e</sub>には不許可状態、ENBL<sub>o</sub>には許可状態が、制御部4から出力され、偶数フェーズセレクタ群2及び奇数フェーズセレクタ群3の動作を交互に切り替える切替信号として作用する。各セレクタ群は、ENBL<sub>e</sub>若しくはENBL<sub>o</sub>が、許可状態においては比較更新処理を行い、不許可状態においては各レジスタ値を保持する様に動作する。例えば、制御部4から出るイネーブル信号ENBL<sub>e</sub>が許可状態の時、レジスタR(2m-1)とレジスタR(2m)（但し、mは1以上の整数）に対応する偶数フェーズセレクタ群2中のセレクタが、レジスタ値r(2m-1)とレジスタ値r(2m)について大小比較を行い、レジスタ値r(2m)がレジスタ値r(2m-1)よりも大きい場合はr(2m)とr(2m-1)を交換してレジスタR(2m-1)とレジスタR(2m)を更新し、それ以外の場合にはレジスタR(2m-1)とレジスタR(2m)のレジスタ値をそのまま保持する。制御部4から出るイネーブル信号ENBL<sub>o</sub>が許可状態の時、レジスタR(2m)とレジスタR(2m+1)（但し、mは1以上の整数）に対応する奇数フェーズセレクタ群3中のセレクタが、レジスタ値について大小比較を行い、レジスタ値r(2m+1)がレジスタ値r(2m)よりも大きい場合はr(2m+1)とr(2m)を交換してレジスタR(2m)とレジスタR(2m+1)を更新し、それ以外の場合にはレジスタR(2m)とレジスタR(2m+1)のレジスタ値をそのまま保持する。上記の比較更新処理を偶数フェーズと奇数フェーズとについて交互に繰り返し行い、ソート処理を行う。

【0021】以下、実際のソート処理の動作を、図3を参照しながら具体例により説明する。ここでは、例として、レジスタ数Nを4とし、初期値として各レジスタ値r1, r2, r3, r4はそれぞれ3, 8, 1, 5に設定されているとする。

【0022】まず、クロックの偶数フェーズで、レジスタ値r1, r2及びレジスタ値r3, r4とを比較し、r2の方がr1よりも大きいので値を交換し、r4の方がr3

よりも大きいので値を交換する(S1)。次に、クロックの奇数フェーズで、レジスタ値r2, r3を比較し、r3の方がr2よりも大きいので値を交換する(S2)。このように、偶数フェーズの比較更新処理と奇数フェーズの比較更新処理とを繰り返すことにより、レジスタ値は徐々にr4からr1へ昇順に並んでゆくことになる。この例では、S3において偶数フェーズの比較更新処理を行うが、S2が終了した段階ですでにデータは完全にソートされている(r1, r2, r3, r4がそれぞれ8, 5, 3, 1となっている)ため、各レジスタ値は保持される。

【0023】次に、本実施の形態に係るソート装置のソート処理中にレジスタ値が変更された場合についての動作を、図4を参照しながら説明する。S1～S3の動作については図3と同様なので説明は省略する。S4-1において、例えば、追伝的アルゴリズムにおける交差や突然変異の効果により、レジスタ値r4が1から6に変更されたとする。このような変更が生じた後においても、本実施の形態のソート装置は、従来通り、偶数フェーズの比較更新処理と奇数フェーズの比較更新処理とを繰り返す。変更が生じた後、次のクロックの奇数フェーズの比較更新処理では、レジスタ値r2, r3を比較し、r2の方がr3よりも大きいので値を保持し(S4-2)、次のクロックの偶数フェーズの比較更新処理では、レジスタ値r1, r2及びレジスタ値r3, r4とを比較し、r1の方がr2よりも大きいので値を保持し、r4の方がr3よりも大きいので値を交換し(S5)、次のクロックの奇数フェーズの比較更新処理では、レジスタ値r2, r3を比較し、r3の方がr2よりも大きいので値を交換する(S6)。この時点で、4つのレジスタ値はr4からr1へ昇順にソートされている。

【0024】以上のように、本実施の形態によれば、ソートするデータを記憶する複数のレジスタを有する記憶部を備えるソート装置であって、偶数フェーズにおいてレジスタに記憶された値の比較更新処理を行う複数のセレクタを有する偶数フェーズセレクタ群と、奇数フェーズにおいてレジスタに記憶された値の比較更新処理を行う複数のセレクタを有する奇数フェーズセレクタ群と、偶数フェーズセレクタ群と奇数フェーズセレクタ群とを交互に動作させる制御部とを備えることにより、追伝的アルゴリズムのソート部などに用いる場合の様に、データが完全にソートされている必要が無い場合においては、従来のソート装置のようにソート処理の終了まで他の部分を待機させる必要が無く、ソート装置とその他の装置とを並列処理で動作させる事ができるため、より効率的な処理を行う事が可能となる。また、並列処理により動作しているモジュール（例えば、追伝的アルゴリズムにおける交差や突然変異のモジュール）が任意のレジスタ値を変更した場合でも、ソート装置は同じ処理を統けて繰り返すだけでよく、特殊な処理を必要としない

め簡単な構成によりソート処理が実現される。

【0025】

【発明の効果】以上のように請求項1に記載のソート装置によれば、偶数フェーズにおいてレジスタに記憶された値の比較更新処理を行う複数のセレクタを有する偶数フェーズセレクタ群と、奇数フェーズにおいてレジスタに記憶された値の比較更新処理を行う複数のセレクタを有する奇数フェーズセレクタ群と、偶数フェーズと奇数フェーズとを交互に切り替えることにより偶数フェーズセレクタ群と奇数フェーズセレクタ群とを交互に動作させる制御部とを備えたことにより、遺伝的アルゴリズムのソート部の場合の様に、データが完全にソートされている必要が無い場合においては、ソート処理の終了まで他の部分を待機させる必要が無く、ソート装置とその他の装置とを並列処理で動作させる事が可能となるという有利な効果が得られる。また、並列処理により動作しているモジュールが任意のレジスタ値を変更した場合でも、ソート装置は同じ処理を続けて繰り返すだけで正常にソート処理が行われるため、特殊な処理を必要とせず簡単な構成によりソート処理が実現されるとともに、任意の時点においてレジスタの値の書き換えが可能となるという有利な効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係るソート装置の装置構成図

【図2】実施の形態1に係るセレクタの装置構成図

【図3】実施の形態1に係るソート装置の動作例を示す図

【図4】実施の形態1に係るソート装置の動作例を示す図

【図5】従来のソート装置の装置構成図

【図6】従来のソート装置の動作例を示す図

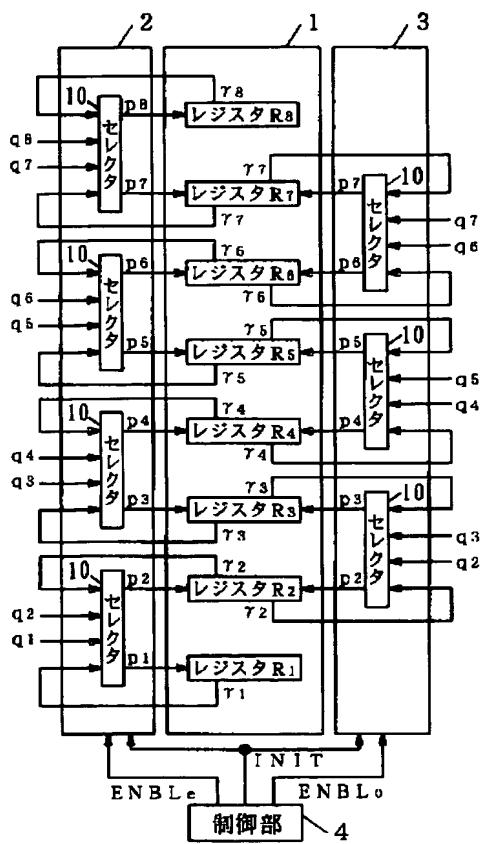
【符号の説明】

- 1 記憶部
- 2 偶数フェーズレジスタ群
- 3 奇数フェーズレジスタ群
- 4 制御部
- 5 比較器
- 6 マルチプレクサ
- 7 比較器入力セレクタ部
- 8 比較器
- 9 レジスタ入力セレクタ部
- 10 セレクタ

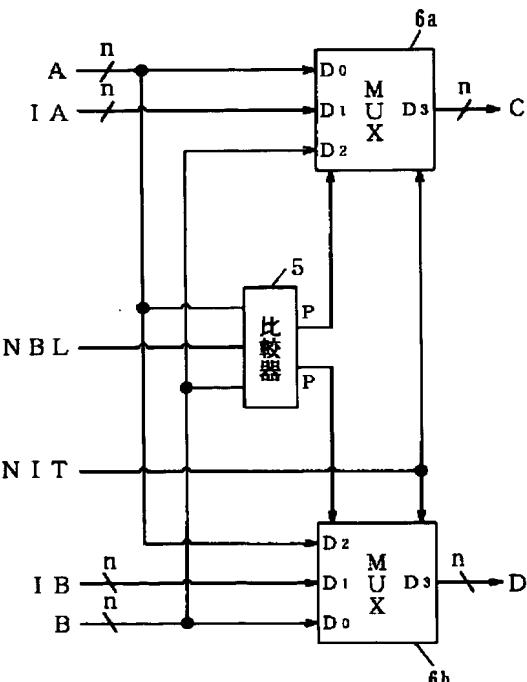
10

20

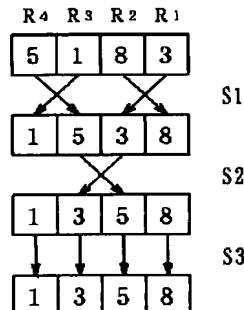
【図1】



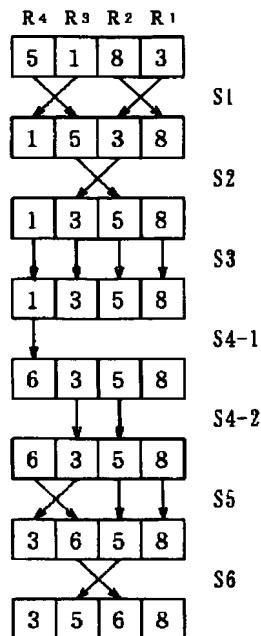
【図2】



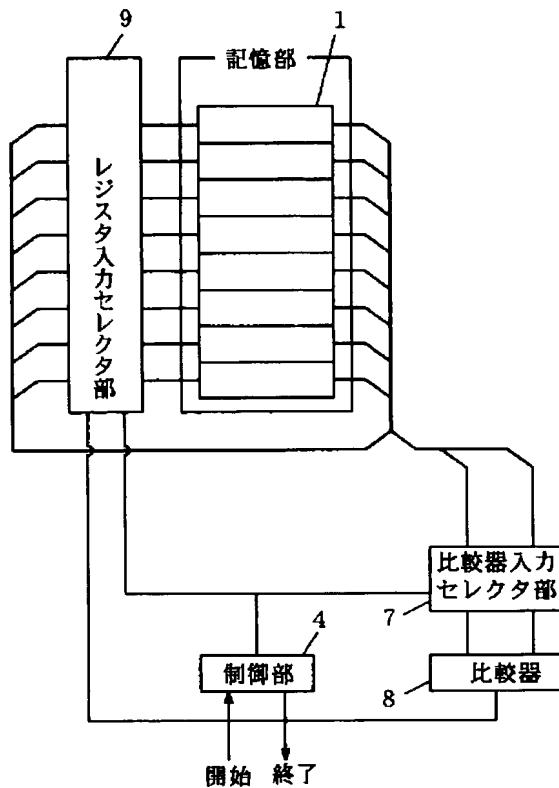
【図3】



【図4】



【図5】



【図6】

